

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-112328

(43)Date of publication of application : 14.04.1992

(51)Int.Cl.

G06F 9/38

G06F 9/38

G06F 12/08

(21)Application number : 02-232783

(71)Applicant : NEC CORP

(22)Date of filing : 03.09.1990

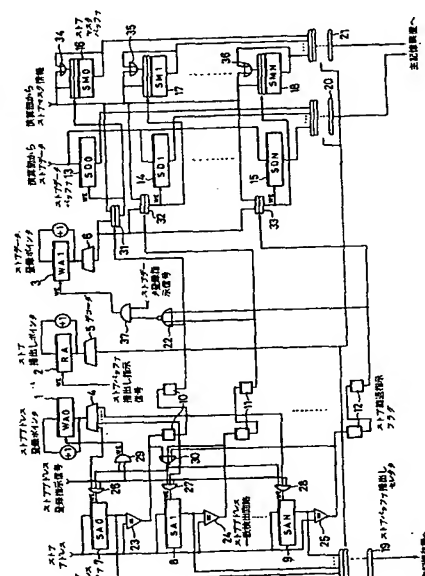
(72)Inventor : MIYAZAWA FUMIHIKO

(54) DEGENERATION CONTROL SYSTEM FOR STORE INSTRUCTION

(57)Abstract:

PURPOSE: To minimize the sweep-out processing frequency to a main storage by merging together both preceding and subsequent store instructions and registering both instructions into a store buffer as a single store instruction if the subsequent store instruction is received when the store buffer stores the preceding store instruction that is not swept out to the main storage.

CONSTITUTION: The store address coincidence detection means 23-15 compare the store addresses of the preceding store instructions stored in the store address buffers 7-9 with the store addresses of the subsequent store instructions which are registered in the buffers 7-9. When the coincidence is obtained between these two types of store addresses, the store degeneration pointing flags 10-12 are turned on. Then the store data merging means 31-33 merge the store data on the preceding store instructions with which the flags 10-12 are turned on into the store data with which the store mask information on the subsequent store instructions are turned on in the timing when the store data are registered in the store data buffers 13-15. Thus just a single sweep-out processing suffices to a main storage.



⑫ 公開特許公報(A) 平4-112328 ✓

⑮ Int. Cl.⁵

G 06 F 9/38

12/08

識別記号

3 5 0 X
3 1 0 A

C

庁内整理番号

7927-5B

7927-5B

7232-5B

⑬ 公開 平成4年(1992)4月14日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 ストア命令の縮退制御方式

⑯ 特 願 平2-232783

⑰ 出 願 平2(1990)9月3日

⑱ 発 明 者 宮 沢 文 彦 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 河原 純一

明 細 書

1. 発明の名称

ストア命令の縮退制御方式

2. 特許請求の範囲

ストアバッファを備えストア命令の実行をサポートする演算処理装置および主記憶装置を有するパイプライン処理方式の情報処理装置において、ストアバッファ内に存在する主記憶装置に対して未掃出しの先行ストア命令と同一のストアアドレスへの後続ストア命令を受け付けたことを検出し後続ストア命令のストアアドレスをストアアドレスバッファに登録せずに先行ストア命令のワード位置のストア縮退指示フラグをセットするストアアドレス一致検出手段と、

前記ストア縮退指示フラグがセットされている状態で後続ストア命令のストアデータがストアデータバッファに送られてきたときに後続ストア命令のストアマスク情報がオンであるバイト単位 of スタアデータを先行ストア命令の同一バイト単位のストアデータに対してマージして後続ストア命

令のストアデータをストアデータバッファに登録するストアデータマージ手段と

を有することを特徴とするストア命令の縮退制御方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は命令の高速処理方式に関し、特にパイプライン処理方式の情報処理装置におけるストア命令の縮退制御方式に関する。

〔従来の技術〕

従来、この種のパイプライン処理方式の情報処理装置では、ストアバッファ内に主記憶装置に対して未掃出しの先行するストア命令（以下、先行ストア命令という）が存在するときに先行ストア命令と同一のストアアドレスに対してストアしようとする後続するストア命令（以下、後続ストア命令という）があった場合でも、後続ストア命令を先行ストア命令とは別にストアバッファに登録し、主記憶装置に対しても先行ストア命令と後続ストア命令とを別々に掃出し処理していた。

(発明が解決しようとする課題)

上述した従来のパイプライン処理方式の情報処理装置では、ストアバッファ内に主記憶装置に対して未掃出しの先行ストア命令が存在するときに先行ストア命令と同一のストアアドレスに対してストアしようとする後続ストア命令があった場合でも、後続ストア命令を先行ストア命令とは別にストアバッファに登録し、主記憶装置に対して先行ストア命令と後続ストア命令とを別々に掃出し処理していたので、ストアバッファが同一のストアアドレスに対する2つのストア命令によって無駄に占有されるとともに、主記憶装置に対するストア命令の掃出し処理にも時間がかかり、処理の高速化が図れないという欠点がある。

本発明の目的は、上述の点に鑑み、ストアバッファ内に主記憶装置に対して未掃出しの先行ストア命令が存在するときに先行ストア命令と同一のストアアドレスに対する後続ストア命令があった場合、先行ストア命令と後続ストア命令とをマージして1つのストア命令としてストアバッファに

て後続ストア命令のストアデータをストアデータバッファに登録するストアデータマージ手段とを有する。

(作用)

本発明のストア命令の縮退制御方式では、ストアアドレス一致検出手段がストアアドレスバッファ内の各ワード位置の先行ストア命令のストアアドレスと次タイミングにおいてストアアドレスバッファに登録しようとする後続ストア命令のストアアドレスとを比較して一致するならば各ワード位置対応に存在するストア縮退指示フラグをオンにし、ストアデータマージ手段がストアデータがストアデータバッファに登録されるタイミングでストア縮退指示フラグがオンである先行ストア命令のワード位置のストアデータに対して後続ストア命令のストアマスク情報がオンであるバイト位置のストアデータを先行ストア命令の同一バイト位置のストアデータに対してマージする。

(実施例)

次に、本発明について図面を参照して詳細に説

明し、主記憶装置に対して1回の掃出し処理を行えばすむようにしたストア命令の縮退制御方式を提供することにある。

(課題を解決するための手段)

本発明のストア命令の縮退制御方式は、ストアバッファを備えストア命令の実行をサポートする演算処理装置および主記憶装置を有するパイプライン処理方式の情報処理装置において、ストアバッファ内に存在する主記憶装置に対して未掃出しの先行ストア命令と同一のストアアドレスへの後続ストア命令を受け付けたことを検出し後続ストア命令のストアアドレスをストアアドレスバッファに登録せずに先行ストア命令のワード位置のストア縮退指示フラグをセットするストアアドレス一致検出手段と、前記ストア縮退指示フラグがセットされている状態で後続ストア命令のストアデータがストアデータバッファに送られてきたときに後続ストア命令のストアマスク情報がオンであるバイト単位のストアデータを先行ストア命令の同一バイト単位のストアデータに対してマージし

明する。

第1図は、本発明の一実施例に係るストア命令の縮退制御方式が適用されたストアバッファの構成を示す回路ブロック図である。このストアバッファは、ストアアドレス登録ポインタ(WA0)1と、ストア掃出しポインタ(RA)2と、ストアデータ登録ポインタ(WA1)3と、3個のデコーダ4~6と、(N(正整数)+1)個のストアアドレスバッファ(SA0~SAN)7~9と、(N+1)対のストア縮退指示フラグ10~12と、(N+1)個のストアデータバッファ(SD0~SDN)13~15と、(N+1)個のストアマスクバッファ(SM0~SMN)16~18と、3個のストアバッファ掃出しセレクト19~21と、ノア回路22と、(N+1)個のストアアドレス一致検出回路23~25と、(N+1)個のアンド回路26~28と、アンド回路29と、ノア回路30と、(N+1)個のセレクト31~33と、(N+1)個のオア回路34~36と、アンド回路37とから構成されている。

ストアアドレス登録ポイント (WA0) 1 は、ストアアドレス登録指示信号に基づいてアンド回路 29 から出力されるライトイネーブル信号 (WE) によってサイクリックに 1 つずつカウントアップされる回路で、ストアアドレスを登録するストアアドレスバッファ (SA0 ~ SAN) 7 ~ 9 のワード位置を表し、デコーダ 4 およびアンド回路 26 ~ 28 を介してストアアドレスバッファ (SA0 ~ SAN) 7 ~ 9 に接続されている。

ストア掃出しポイント (RA) 2 は、ストアバッファ掃出し指示信号をライトイネーブル信号 (WE) としてサイクリックに 1 つずつカウントアップされる回路で、デコーダ 5 を介してストアバッファ掃出しセレクト 19 ~ 21 に接続されている。

ストアデータ登録ポイント (WA1) 3 は、ストアデータ登録指示信号に基づいてアンド回路 37 から出力されるライトイネーブル信号 (WE) によってサイクリックに 1 つずつカウントアップされる回路で、デコーダ 6 を介してセレクト 31

~ 33 の一方の人力に接続されている。

ストアアドレスバッファ (SA0 ~ SAN) 7 ~ 9 は、ストアアドレスをワード単位に保持するバッファ群である。

ストア縮退指示フラグ 10 ~ 12 は、ストア命令の縮退処理を行うか否かをワード単位に表すフラグ群であり、* 1 * (オン) のときにストア命令の縮退処理を行うことを示す。

ストアデータバッファ (SD0 ~ SDN) 13 ~ 15 は、ストアデータをワード単位に保持するバッファ群である。

ストアマスクバッファ (SM0 ~ SMN) 16 ~ 18 は、ストアマスク情報をワード単位に保持するバッファ群である。

ストアバッファ掃出しセレクト 19 ~ 21 は、ストアアドレスバッファ (SA0 ~ SAN) 7 ~ 9 のストアアドレス、ストアデータバッファ (SD0 ~ SDN) 13 ~ 15 のストアデータおよびストアマスクバッファ (SM0 ~ SMN) 16 ~ 18 のストアマスク情報をそれぞれ選択して主記

憶装置 (図示せず) に掃き出させるセレクトである。

ノア回路 22 は、各ワード位置のストア縮退指示フラグ 10 ~ 12 の論理和の否定をとる回路で、ストア命令の縮退処理が実行されるタイミングで出力が * 0 * となってストアデータ登録指示信号を無効化し、ストアデータ登録ポイント (WA1) 3 のカウントアップを阻止する。

ストアアドレス一致検出回路 23 ~ 25 は、ストアアドレスバッファ (SA0 ~ SAN) 7 ~ 9 のいずれかに格納されている先行ストア命令のストアアドレスと送られてきた後続ストア命令のストアアドレスとが一致したときに出力を * 1 * にするコンパレータであり、ストア縮退指示フラグ 10 ~ 12 にそれぞれ接続されているとともに、ノア回路 30 の入力にそれぞれ接続されている。

アンド回路 26 ~ 28 は、ストアアドレスバッファ (SA0 ~ SAN) 7 ~ 9 へのライトイネーブル信号 (WE) を作成する回路で、ストアアドレス登録ポイント (WA0) 1 が示すワード位置

のストアアドレスバッファ (SA0 ~ SAN) 7 ~ 9 で、ストアアドレス登録指示信号が * 1 * であり、かつノア回路 30 の出力が * 1 * でストア命令の縮退処理が不要ならば、ライトイネーブル条件が成立する。

アンド回路 29 は、ストアアドレス登録指示ポイント (WA0) 1 のライトイネーブル信号 (WE) を作成する回路で、ストアアドレス登録指示信号が * 1 * であり、かつノア回路 30 の出力が * 1 * でストア命令の縮退処理が不要ならば、ライトイネーブル条件が成立する。

ノア回路 30 は、ストアアドレス一致検出回路 23 ~ 25 の出力の論理和の否定を示す回路で、出力が * 0 * でストア命令の縮退処理を行うことを示し、アンド回路 26 ~ 29 によりストアデータ登録指示信号を無効化して後続ストア命令のストアアドレスのストアアドレスバッファ (SA0 ~ SAN) 7 ~ 9 への登録を阻止する。

セレクト 31 ~ 33 は、通常のストアデータの登録時にはストアデータ登録ポイント (WA1)

3の出力をストアデータバッファ(SD0~SDN)13~15およびストアマスクバッファ(SM0~SMN)16~18のライトイネーブル信号(WE)として選択し、ストア縮退指示フラグ10~12が"1"である場合には、演算部からのストアマスク情報をストアデータバッファ(SD0~SDN)13~15およびストアマスクバッファ(SM0~SMN)16~18のライトイネーブル信号(WE)として選択する。

オア回路34~36は、後続ストア命令のストアデータのバイト単位の有効性を示すストアマスク情報をオンであるバイト単位に先行ストア命令のストアマスク情報にマージする回路である。

アンド回路37は、ストアデータ登録指示ポイント(WA1)3のライトイネーブル信号(WE)を作成する回路で、ストアデータ登録指示信号が"1"であり、かつノア回路22の出力が"1"でストア命令の縮退処理が不要ならば、ライトイネーブル条件が成立する。

第2図は、第1図に示したストアバッファにお

および読出しのアクセスが可能とし、1バイト単位にストアマスク情報を持つものとする。

サイクルT1において、先行ストア命令STAがIFステージに受け付けられると、サイクルT4において、先行ストア命令STAに関するストアアドレスはストアアドレス登録ポイント(WA0)1で示されるストアアドレスバッファ(SA0~SAN)7~9のワード位置に登録される。

サイクルT5において、EXステージで先行ストア命令STAに関するストアデータおよびストアマスク情報は演算される。

サイクルT6において、演算結果後のストアデータおよびストアマスク情報はストアデータ登録ポイント(WA1)3によって示されるストアデータバッファ(SD0~SDN)13~15およびストアマスクバッファ(SM0~SMN)16~18のワード位置にそれぞれ登録される。

一方、サイクルT2において、先行ストア命令STAと同一のストアアドレスに対する後続ストア命令STA'がIFステージに受け付けられる

けるストア命令のパイプライン処理を示すタイムチャートである。

第3図は、パイプライン処理ステージの一例を示す図であり、パイプライン処理は、命令フェッチ(IF)ステージ、オペランドアドレス生成(AC)ステージ、アドレス変換(AT)ステージ、キャッシュアクセス(CA)ステージ、演算(EX)ステージおよび格納(ST)ステージの6ステージに分割されている。IFステージは命令を取り出す処理、ACステージはオペランドアドレスを生成する処理、ATステージは論理アドレスを物理アドレスに変換する処理、CAステージはオペランドを読み出す処理、EXステージは読み出されたオペランドを演算する処理、そしてSTステージは演算結果を格納する処理をそれぞれ行う。

次に、このように構成された本実施例のストア命令の縮退制御方式の動作について説明する。なお、ここでは、ストアデータは8バイトのデータからなり、ストアデータは1バイト単位に書き込み

と、サイクルT4において、ストアアドレス一致検出回路23~25は、ストアアドレスバッファ(SA0~SAN)7~9に登録されているストアアドレスと、このタイミングでストアアドレスバッファ(SA0~SAN)7~9に登録されようとしているストア命令STA'のストアアドレスとの一致を検出する。

このとき、すでに先行ストア命令STAのストアアドレスがストアアドレス登録ポイント(WA0)1で示されるストアアドレスバッファ(SA0~SAN)7~9のいずれかに登録されているので、ストアアドレス一致検出回路23~25のいずれかが同一のストアアドレスに対する後続ストア命令STA'のストアアドレスとの一致を検出し、一致検出結果がストア縮退指示フラグ10~12のいずれかに登録される。また、このとき、先行ストア命令STAと後続ストア命令STA'とは同一のストアアドレスを示しているので、ストアアドレス一致検出回路23~25のいずれかの出力が"1"、ノア回路30の出力が"0"と

なり、アンド回路26～28の出力、すなわちストアアドレスバッファ(SA0～SAN)7～9のライトイネーブル信号(WE)が“0”となつて、後続ストア命令STA'のストアアドレスのストアアドレスバッファ(SA0～SAN)7～9への登録は行われない。さらに、ノア回路30の出力が“0”となることにより、アンド回路29の出力、すなわちストアアドレス登録ポインタ(WA0)1のライトイネーブル信号(WE)も“0”となつて、ストアアドレス登録ポインタ(WA0)1のカウントアップは行われない。

サイクルT6において、EXステージで後続ストア命令STA'のストアデータは演算部において処理される。

サイクルT7において、後続ストア命令STA'のストアデータおよびストアマスク情報は、ストアデータバッファ(SD0～SDN)13～15およびストアマスクバッファ(SM0～SMN)16～18への登録タイミングとなる。このとき、登録されるストアデータバッファ(SD0～SD

N)13～15およびストアマスクバッファ(SM0～SMN)16～18のワード位置は、セクタ31～33によりストア縮退指示フラグ10～12がオンとなっている先行ストア命令のストアデータおよびストアマスク情報が登録されているワード位置に対して行われ、ストアデータバッファ(SD0～SDN)13～15に対しては8バイトの後続ストア命令STA'のストアデータのうちの対応するストアマスク情報が“1”であるバイト単位のストアデータがストア命令STA'のストアデータとして書き込まれ、ストアマスクバッファ(SM0～SMN)16～18に対してはオア回路34～36を介して先行ストア命令STAのバイト単位のストアマスク情報と後続ストア命令STA'のバイト単位のストアマスク情報との論理和の値が書き込まれる。また、ノア回路22の出力が“0”となっているので、ストアデータ登録指示信号が無効化され、ストアデータ登録ポインタ(WA1)3のカウントアップは行われない。

このようにして、サイクルT7において、主記憶装置の同一のストアアドレスに対する先行ストア命令STAおよび後続ストア命令STA'のマージが行われる。

サイクルT8において、ストアバッファ掃出し指示信号がストア掃出しポインタ(RA)2にライトイネーブル信号(WE)として与えられ、ストア掃出しポインタ(RA)2の1つインクリメントされた値がデコーダ5を介してデコードされてストアバッファ掃出しセクタ19～21に与えられ、ストアバッファ掃出しセクタ19～21によりストアアドレスバッファ(SA0～SAN)7～9、ストアデータバッファ(SD0～SDN)13～15およびストアマスクバッファ(SM0～SMN)16～18の該当するワード位置に登録されているストアアドレス、ストアデータおよびストアマスク情報がマージされたストア命令STA'として主記憶装置に掃き出される。

以上により、従来ならばストアバッファに2命令分として登録されていた先行ストア命令STA

および後続ストア命令STA'が1つのマージされたストア命令STA'としてのみストアバッファに登録されるだけになり、またストア命令の掃出しのために時間を要する主記憶装置へのアクセス回数も1回で済むようになるので、処理の高速化が図られる。

(発明の効果)

以上説明したように本発明は、ストアバッファ内に主記憶装置に対して未掃出しの先行ストア命令が存在するときに後続ストア命令が先行ストア命令と同一のストアアドレスに対するストア命令であるならば先行ストア命令と後続ストア命令とをマージしたストア命令をストアバッファに登録することにより、従来ならば2命令に分けてストアバッファに登録し主記憶装置に対しても2回の掃出し処理を必要とした2つのストア命令の処理をストアバッファに1命令分として登録し、1回の掃出し処理で主記憶装置に対して掃き出すことが可能になり、処理の高速化を図ることができるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例に係るストア命令の縮退制御方式が適用されたストアバッファの構成を示す回路ブロック図、

第2図は第1図に示したストアバッファにおけるストア命令のパイプライン処理を示すタイムチャート、

第3図はパイプライン処理ステージの一例を示す図である。

図において、

- 1・・・ストアアドレス登録ポイント(WA0)、
- 2・・・ストア掃出しポイント(RA)、
- 3・・・ストアデータ登録ポイント(WA1)、
- 4～6・デコーダ、
- 7～9・ストアアドレスバッファ(SA1～SAN)、
- 10～12・ストア縮退指示フラグ、
- 13～15・ストアデータバッファ(SD1～SDN)、

16～18・ストアマスクバッファ(SM1～SMN)、

19～21・ストアバッファ掃出しセクタ、

22・・・ノア回路、

23～25・ストアアドレス一致検出回路、

26～28・アンド回路、

29・・・アンド回路、

30・・・ノア回路、

31～33・セクタ、

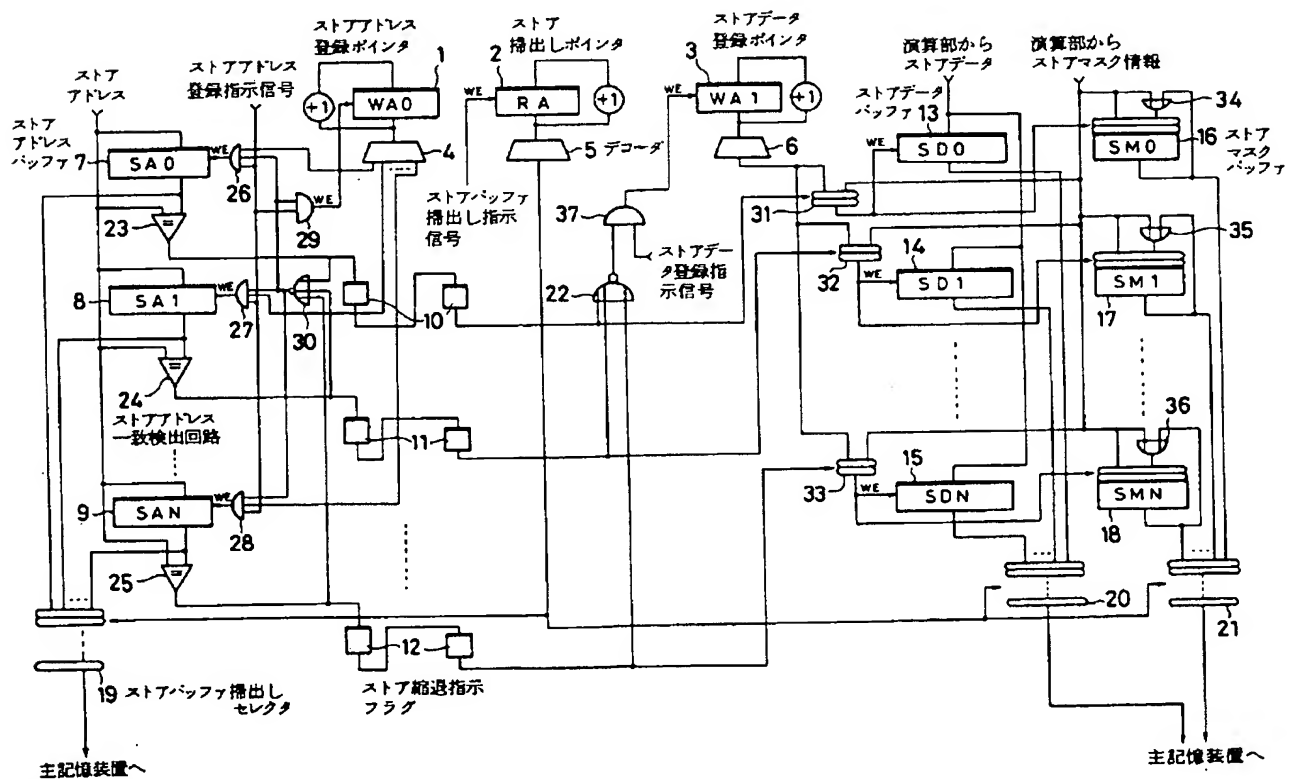
34～36・オア回路、

37・・・アンド回路である。

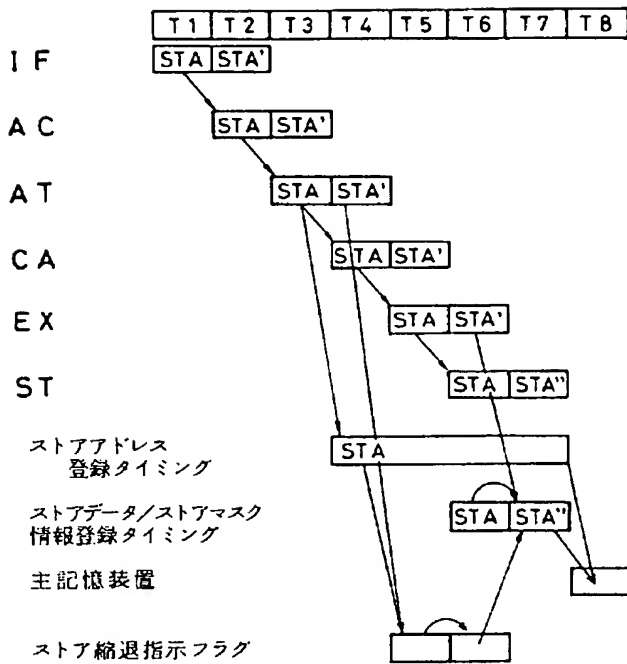
特許出願人 日本電気株式会社

代理人 弁理士 河原 純一

第1図



第 2 図



第 3 図

